



(10) **DE 10 2004 022 347 A1 2004.12.09**

## Offenlegungsschrift

(43) Offenlegungstag: 09.12.2004

**Patentanwälte Ruff, Wilhelm, Beier, Dauster & Partner, 70174 Stuttgart**

Lee, Jung-bae, Yongin, Kyonggi, KR; Chung,  
Hoe-ju, Yongin, Kyonggi, KR

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

The diagram illustrates a memory array structure. It consists of three rows of memory cells, labeled MR0, MR1, and MR2. Each row contains a series of DRAM cells, with a C/A-Puffer (Column Address Puffer) integrated into the structure. The array is connected to a control unit at the bottom, labeled 'Speichersteuerung' (Memory Control), which provides 'Befehl und Adresse' (Command and Address) and 'OO & CLK' (Output and Clock) signals. The diagram also shows various signal lines and connections, including '508' and '510' labels, and a '50' label at the bottom right.

Verwendung z. B. für Speichersysteme mit DRAM-Bausteinen.

**Beschreibung**

**[0001]** Die Erfindung betrifft ein Speichersystem mit Hauptplatine und ein zugehöriges Montageverfahren.

**Stand der Technik**

**[0002]** Die meisten Rechnersysteme erlauben eine Speichererweiterung mit Speichermodulen. Solche Speichermodule, beispielsweise SIMMs (Single Inline Memory Modules) und/oder DIMMs (Dual Inline Memory Modules), sind kleine kompakte Schaltungsplatinen, die so ausgeführt sind, dass sie einfach in Erweiterungssockel eingesteckt werden können, die in einem Hauptschaltkreis oder in einer Hauptplatine, auch als Motherboard bezeichnet, angeordnet sind.

**[0003]** Die Fig. 1 und 2 zeigen schematische Darstellungen einer Speicherarchitektur eines Rechnersystems 100. Wie aus den Fig. 1 und 2 ersichtlich ist, umfasst das Rechnersystem 100 eine Mehrzahl von Speichermodulen 106, die von einer Speichersteuereinheit 104 gesteuert werden. Die Speichersteuereinheit 104 steuert Lese- und Schreibvorgänge der zugehörigen Speichermodule 106. Die Speichersteuereinheit 104 ist auf der Hauptplatine 102 angeordnet. Die Funktionsweise der Speichersteuereinheit 104 ist dem Fachmann bekannt und wird deshalb hier nicht weiter beschrieben.

**[0004]** Die Speichermodule 106 umfassen häufig Kantenverbinder 114, auch Steckerleisten bezeichnet, mit einer Mehrzahl von Anschlusskontakten 116. Die Anschlusskontakte 116 sind typischerweise auf beiden Seiten der Module 106 angeordnet. Eine Mehrzahl von Aufnahmen, beispielsweise Sockel 112, sind auf der Hauptplatine 102 montiert. Die Sockel 112 nehmen die Steckerleisten 114 auf und koppeln dadurch die Hauptplatine 102 elektrisch mit den Speichermodulen 106. Insbesondere koppeln die Sockel 112 elektrische Verbindungen, die auf der Hauptplatine 102 geführt sind, mit auf den Speichermodulen 106 geführten elektrischen Verbindungen.

**[0005]** Die Speichermodule 106 umfassen eine Mehrzahl von Speicherbausteinen 108. Diese Speicherbausteine 108 sind beispielsweise dynamischen Speicherbausteine mit direktem Zugriff (DRAM) oder synchronisierte dynamische Speicherbausteine mit direktem Zugriff (SDRAM). Ein Puffer 110 steuert und puffert Befehle und Adressen (C/A), die er von der Speichersteuereinheit 104 empfängt. Die Mehrzahl von Speicherbausteinen 108 und der C/A-Puffer 110 sind auf dem jeweiligen Speichermodul 106 montiert.

**[0006]** Signalverbindungen sind sowohl auf der Hauptplatine 102 als auch auf dem Speichermodul 106 geführt. Diese Signalverbindungen können einen

Datenbus DQ, ein Systemtaktsignal CLK und einen Befehls-/Adressbus (C/A-Bus) umfassen. Die Speicherbausteine 108 und der Puffer 110 des jeweiligen Moduls 106 empfangen Signale von der Steuereinheit 104 über den zugehörigen Sockel 112, der auf der Hauptplatine 102 montiert ist.

**[0007]** In jeder Speicherarchitektur ist es wichtig, die Signalintegrität der Adressen-, Steuer- und Taktsignale aufrechtzuerhalten. Das Aufrechterhalten der Signalintegrität wird mit ansteigender Betriebsfrequenz wegen Übertragungsleitungseffekten, einschließlich Signalreflexionen, immer schwieriger.

**[0008]** In der Theorie der Übertragungsleitungen wird die Verbindung zwischen der Hauptplatine 102 und dem Modul 106 über den Sockel 112 als Stichleitungslast bezeichnet. Stichleitungslasten stellen eine Übertragungsdiskontinuität dar, die in Signalreflexionen resultiert und letztendlich die Signalintegrität negativ beeinflusst.

**[0009]** Wie aus Fig. 3 in Verbindung mit den Fig. 1 und 2 ersichtlich ist, ist eine Signalverbindung 302, beispielsweise der Datenbus DQ, über die Hauptplatine 102 geführt. Die Signalverbindung 302 ist elektrisch mit einer Signalverbindung 304 gekoppelt, die über einen Sockel 312 auf dem Modul 106 geführt ist. Der Sockel 312 repräsentiert jedoch eine Diskontinuität 306 zwischen der Signalverbindung 302 und der Signalverbindung 304. Die Diskontinuität 306 verursacht, dass ein Teil des Signals zurückreflektiert wird, was Rauschen und Zeitsteuerungstoleranzen und Spannungsfenster verkleinert.

**[0010]** Wie aus Fig. 4 ersichtlich ist, reduzieren Stichleitungswiderstände ( $R_{stub}$ ) 416 in den Speichermodulen 406 solche Signalreflexionen. Diese Stichleitungswiderstände 416 verbessern die Lese- und Schreibvorgänge des Speichers. Wird der Wert der Stichleitungswiderstände 416 vergrößert, um die Reflexionen zu verkleinern, dann erhöht sich durch den größeren Spannungsabfall über den Widerständen die Signalspannungsdämpfung. Die Dämpfung von Signalspannungen verkleinert das Spannungsfenster. Die Stichleitungswiderstände 416 können parasitäre RC-Lasten verursachen, die das Signal verzögern.

**Aufgabenstellung**

**[0011]** Es ist Aufgabe der Erfindung, ein Speichersystem zur Verfügung zu stellen, das die genannten Schwierigkeiten wenigstens teilweise vermeidet, und ein zugehöriges Montageverfahren anzugeben.

**[0012]** Die Erfindung löst diese Aufgabe durch ein Speichersystem mit den Merkmalen des Patentanspruchs 1, 2 oder 5 und durch ein Montageverfahren mit den Merkmalen des Patentanspruchs 18.

**[0013]** Vorteilhafte Weiterbildungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

#### Ausführungsbeispiel

**[0014]** Vorteilhafte, nachfolgend beschriebene Ausführungsformen der Erfindung sowie das zu deren besserem Verständnis oben erläuterte, herkömmliche Ausführungsbeispiel sind in den Zeichnungen dargestellt. Es zeigen:

**[0015]** Fig. 1 eine schematische Perspektivansicht auf ein herkömmliches Speichersystem,

**[0016]** Fig. 2 eine schematische Seitenansicht des Speichersystems aus Fig. 1,

**[0017]** Fig. 3 ein Übertragungsleitungsdiagramm des Speichersystems aus Fig. 1,

**[0018]** Fig. 4 eine schematische Draufsicht auf ein herkömmliches Speichersystem,

**[0019]** Fig. 5 eine schematische Draufsicht auf ein Ausführungsbeispiel eines erfindungsgemäßen Speichersystems,

**[0020]** Fig. 6 ein Blockschaltbild des erfindungsgemäßen Speichersystems aus Fig. 5,

**[0021]** Fig. 7 eine schematische Seitenansicht eines weiteren Ausführungsbeispiels des erfindungsgemäßen Speichersystems,

**[0022]** Fig. 8 eine schematische Seitenansicht eines weiteren Ausführungsbeispiels des erfindungsgemäßen Speichersystems,

**[0023]** Fig. 9 eine schematische Draufsicht auf ein weiteres Ausführungsbeispiel eines erfindungsgemäßen Speichersystems und

**[0024]** Fig. 10 eine schematische Draufsicht auf ein weiteres Ausführungsbeispiel eines erfindungsgemäßen Speichersystems.

**[0025]** Fig. 5 zeigt eine Draufsicht auf ein erfindungsgemäßes Speichersystem 500. Fig. 6 zeigt ein Blockschaltbild des erfindungsgemäßen Speichersystems 500 aus Fig. 5. Wie aus den Fig. 5 und 6 ersichtlich ist, umfasst das Speichersystem 500 eine Speichersteuereinheit 504, die eine Mehrzahl von Speicherstufen 516 steuert. Die Speichersteuereinheit 504 steuert Lese- und Schreibvorgänge, welche die Speicherstufen 516 betreffen und ist auf der Hauptplatine 502 montiert. Die Struktur und Funktionsweise der Speichersteuereinheit 504 ist dem Fachmann bekannt und wird deshalb hier nicht weiter ausgeführt.

**[0026]** Die Speicherstufen 516 sind direkt auf der Hauptplatine 502 montiert. Das bedeutet, dass keine separaten Speichermodule 106 wie im herkömmlichen Speichersystem 100 von Fig. 1 vorhanden sind.

**[0027]** Jede Speicherstufe 516 umfasst eine Mehrzahl von Speicherbausteinen 508, die mit einem Puffer 510 gekoppelt sind. Die Speicherbausteine 508 sind direkt auf der Hauptplatine 502 montiert. Jeder Speicherbaustein 508 ist beispielsweise als DRAM- oder SDRAM-Baustein ausgeführt. Die Struktur und Funktionsweise der Speicherbausteine 508 sind dem Fachmann bekannt, so dass sie hier nicht weiter beschrieben werden.

**[0028]** Der Puffer 510 steuert und puffert Befehle und Adressen, die er von der Speichersteuereinheit 504 empfängt. Der Puffer 510 kann z.B. ein Befehls- und Adressenpuffer (C/A-Puffer) sein. Der Puffer 510 ist direkt auf der Hauptplatine 502 montiert. Er kann Inverter, Treiber und ähnliche Komponenten umfassen, um die Speicherbausteine 508 mit den Befehls- und Adressensignalen von der Steuerschaltung 504 zu treiben. Die Struktur und Funktionsweise des Puffers 510 sind dem Fachmann bekannt und werden hier nicht weiter beschrieben.

**[0029]** Signalverbindungen sind auf der Hauptplatine 502 geführt. Diese Signalverbindungen können einen Datenbus DQ, ein Systemtaktsignal CLK und einen Befehls- und Adressenbus C/A umfassen, wie in den Fig. 5 und 6 dargestellt ist.

**[0030]** Nachfolgend wird die Funktionsweise des Speichersystems 500 beschrieben. Die Steuereinheit 504 erzeugt Befehls- und Adressensignale und überträgt diese über die auf der Hauptplatine 502 geführten Signalverbindungen an den C/A-Puffer 510. Die Speicherbausteine 508 empfangen Datensignale DQ und das Systemtaktsignal CLK von der Steuereinheit 504 oder von anderen nicht dargestellten Schaltungen auf der Hauptplatine 502. Zeigen die Befehlssignale einen Lesevorgang an, dann stellt der betreffende Speicherbaustein 508 die aus der zugehörigen Speicherzelle, die durch das Adressensignal angezeigt wird, ausgelesenen Daten in Reaktion auf das Systemtaktsignal CLK zur Verfügung. Zeigen die Befehlssignale einen Schreibvorgang an, dann schreibt der Speicherbaustein 508 in Reaktion auf das Systemtaktsignal CLK die Daten in die zugehörige Speicherzelle, die durch das Adressensignal angezeigt wird.

**[0031]** Das System 500 verhindert Stichleitungslasten, die Signalreflexionen verursachen, dadurch, dass keine Speichermodule verwendet werden. Gibt es keine Speichermodule, dann gibt es keinen Bedarf an Sockeln, die Übertragungsdiskontinuitäten repräsentieren. Gibt es keine Übertragungsdiskontinuitä-

ten, dann können keine Signalreflektionen existieren, welche die Signalintegrität auf die oben erläuterte Weise verschlechtern.

**[0032]** Fig. 7 zeigt eine schematische Seitenansicht eines weiteren erfindungsgemäßen Speichersystems 700. Wie aus Fig. 7 ersichtlich ist, umfasst das System 700 die Mehrzahl von Speicherstufen 516 und die Speichersteuereinheit 504, die unter Bezugnahme auf die Fig. 5 und 6 oben beschrieben sind. Die Speicherstufen 516 und die Speichersteuereinheit 504 sind auf der Hauptplatine 502 montiert.

**[0033]** Im Unterschied zum System 500 umfasst das System 700 zusätzlich ein Speichermodul 716. Das Speichermodul 716 kann eine Steckerleiste 714 mit einer Mehrzahl von nicht dargestellten Kontaktschlüssen bzw. Steckkontakten, eine Mehrzahl von Speicherbausteinen 708, eine Modulplatine 706 und einen C/A-Puffer 710 umfassen. Die Kontaktschlüsse sind typischerweise auf beiden Seiten der Modulplatine 706 vorhanden. Eine Mehrzahl von Aufnahmen, beispielsweise Sockel 712, ist auf der Hauptplatine 502 angeordnet. Die Sockel 712 nehmen die Steckerleisten 714 auf und koppeln dadurch die Hauptplatine 502 elektrisch mit dem Speichermodul 716. Insbesondere koppeln die Sockel 712 auf der Hauptplatine 502 geführte Verbindungen elektrisch mit auf der Modulplatine 706 geführten Verbindungen, so dass das Speichermodul 716 mit der Hauptplatine 502 und der Steuereinheit 504 gekoppelt ist.

**[0034]** Das Speichermodul 716 umfasst eine Mehrzahl von Speicherbausteinen 708. Diese Speicherbausteine 708 sind beispielsweise DRAM- oder SDRAM-Bausteine. Der Puffer 710 steuert und puffert Befehle und Adressen, die von der Speichersteuereinheit 504 empfangen werden. Die Speicherbausteine 708 und der Puffer 710 sind auf der Modulplatine 706 montiert.

**[0035]** In einem Ausführungsbeispiel ist das Speichermodul 716 am weitesten entfernt von der Steuereinheit 504 angeordnet. Dadurch werden Signalreflektionen verhindert, da keine Abzweigpunkte von den Signalverbindungen auf der Hauptplatine 502 vorhanden sind. Abzweigpunkte sorgen dafür, dass ein zu übertragendes Signal entsprechend den am Abzweigpunkt vorhandenen Richtungen aufgeteilt wird, beispielsweise in zwei oder mehr Richtungen. Unerwünschte Signalreflektionen können aufgrund einer Fehlanpassung einer charakteristischen Impedanz am Abzweigpunkt entstehen.

**[0036]** Der Signalpfad zwischen der Steuereinheit 504 und dem Speichermodul 716 erstreckt sich von der Steuereinheit 504 zum jeweiligen Speicher 708 des Speichermoduls 716. Da jeder dieser Speicher 708 direkt auf die Modulplatine 706 gelötet ist, existiert

keine Abzweigung an diesem Punkt und daher auch keine Signalreflektion. Ist das Speichermodul 716 andererseits zwischen der Steuereinheit 504 und einer der Speicherstufen 516 angeordnet, dann muss der Verbindungssockel zwischen der Signalverbindung angeordnet sein und erzeugt eine Stichleitung oder Verzweigung von der Modulverbindung. Diese Verzweigung erzeugt eine Signalreflektion.

**[0037]** Fig. 8 zeigt eine schematische Seitenansicht eines weiteren erfindungsgemäßen Speichersystems 800. Das System 800 ist im Wesentlichen ähnlich wie das System 700 aufgebaut, außer dass es anstatt eines einzigen Speichermoduls 716 zwei oder mehr Speichermodule 716 umfasst. Das System 800 kann einige der Unzulänglichkeiten des Systems 100 aus Fig. 1 aufweisen, da Abzweigpunkte auf der Hauptplatine 502 vorhanden sind. Diese Abzweigpunkte können unerwünschte Signalreflektionen verursachen, welche die Signalintegrität nachteilig beeinflussen können. Trotzdem minimiert das System 800 die Signalverschlechterung dadurch, dass noch eine oder mehrere Speicherstufen 516 direkt auf der Hauptplatine 502 montiert sind.

**[0038]** Fig. 9 zeigt eine Draufsicht auf ein weiteres erfindungsgemäßes Speichersystem 900. Das System 900 ist im Wesentlichen gleich wie das System 500 wie Fig. 5 aufgebaut, umfasst aber zusätzlich einen Phasenregelkreis (PLL) 520 in jeder Speicherstufe 516. Der Phasenregelkreis 520 ist in der Lage, ein erstes Taktsignal in Reaktion auf ein Systemtaktsignal CLK zu erzeugen. Der Phasenregelkreis 520 stellt das erste Taktsignal seinen korrespondierenden Speicherbausteinen 508 zur Verfügung. Durch den zusätzlichen Phasenregelkreis 520 vermeidet das System 900 eine separate Verbindung des Systemtaktsignals von der Speichersteuereinheit 504 zu jedem Speicherbaustein 508. In anderer Ausgestaltung kann der Phasenregelkreis 520 durch einen Verzögerungsregelkreis (DLL) ersetzt sein, der ähnlich wie der Phasenregelkreis 520 arbeitet. Das bedeutet, dass der Verzögerungsregelkreis in der Lage ist, das erste Taktsignal in Reaktion auf das Systemtaktsignal CLK zu erzeugen und es seinen korrespondierenden Speicherbausteinen 508 zur Verfügung zu stellen.

**[0039]** Fig. 10 zeigt eine Draufsicht auf ein weiteres erfindungsgemäßes Speichersystem 1000. Das System 1000 ist im Wesentlichen aufgebaut wie das System 900 von Fig. 9, umfasst aber ein zusätzliches Speichermodul 716. Das Speichermodul 716 arbeitet im Wesentlichen wie oben unter Bezugnahme auf Fig. 7 ausgeführt ist. Das Speichermodul 716 umfasst einen Phasenregelkreis PLL 720, der in der Lage ist, ein erstes Taktsignal in Reaktion auf das Systemtaktsignal CLK zu erzeugen, und eine Modulplatine 706. Der Phasenregelkreis 720 stellt das erste Taktsignal seinen korrespondierenden Speicherbausteinen 708 im Speichermodul 716 zur Verfügung.

Durch den zusätzlichen Phasenregelkreis **720** vermeidet das System **1000** eine separate Verbindung des Systemtaktsignals von der Speichersteuereinheit **504** zu jedem Speicherbaustein **508**, **708**. In anderer Ausgestaltung kann der Phasenregelkreis **520**, **720** durch einen Verzögerungsregelkreis (DLL) ersetzt sein, der ähnlich wie der Phasenregelkreis **520**, **720** arbeitet. Das bedeutet, dass der Verzögerungsregelkreis in der Lage ist, das erste Taktsignal in Reaktion auf das Systemtaktsignal CLK zu erzeugen und es seinen korrespondierenden Speicherbausteinen **508**, **708** zur Verfügung zu stellen.

**[0040]** In einer Ausgestaltung der Erfindung kann wenigstens ein erster Speicherbaustein **708** die vom Befehls- und Adressenpuffer ausgegebenen Befehls- und Adressensignale über eine zweite, auf der Hauptplatine geführte Befehls- und Adressenverbindung empfangen. In Ausgestaltung kann die erste Befehls- und Adressensignalverbindung im Wesentlichen senkrecht zur zweiten Befehls- und Adressenverbindung verlaufend angeordnet sein.

### Patentansprüche

1. Speichersystem mit folgenden Merkmalen:
  - einem ersten, auf einer Hauptplatine (**502**) montierten Puffer (**510**),
  - wenigstens einem ersten Speicherbaustein (**508**), der mit dem ersten Puffer (**510**) verbunden ist und auf der Hauptplatine (**502**) montiert ist, und
  - einer Mehrzahl von Signalverbindungen, die auf der Hauptplatine (**502**) zum ersten Puffer (**510**) und zu dem wenigstens einen ersten Speicherbaustein (**508**) geführt sind.
2. Speichersystem, insbesondere nach Anspruch 1, mit folgenden Merkmalen:
  - wenigstens einer auf einer Hauptplatine (**502**) montierten Speicherstufe (**516**) und
  - einer Mehrzahl von Signalverbindungen, die auf der Hauptplatine (**502**) zu der wenigstens einen Speicherstufe (**516**) geführt sind.
3. Speichersystem nach Anspruch 2, dadurch gekennzeichnet, dass die erste Speicherstufe (**516**) folgende Komponenten umfasst:
  - mindestens einen ersten Speicherbaustein (**508**) und
  - einen ersten Puffer (**510**) zum Treiben von Adressen- und Befehlssignalen für den wenigstens einen ersten Speicherbaustein (**508**) über korrespondierende, auf der Hauptplatine (**502**) geführte Signalverbindungen.
4. Speichersystem nach einem der Ansprüche 1 oder 3, dadurch gekennzeichnet, dass der erste Puffer (**510**) ein Befehls- und Adressenpuffer ist, welcher den wenigstens einen ersten Speicherbaustein (**508**) mit Adressen- und Befehlssignalen treibt.
5. Speichersystem nach einem der Ansprüche 1, 3 und 4, dadurch gekennzeichnet, dass
  - eine Speichersteuereinheit (**504**) direkt auf der Hauptplatine (**502**) montiert ist und die Mehrzahl von Befehls- und Adressensignalen erzeugt,
  - der erste Puffer direkt auf der Hauptplatine (**502**) montiert ist und die Befehls- und Adressensignale empfängt und
  - der wenigstens eine erste Speicherbaustein (**508**) direkt auf der Hauptplatine (**502**) montiert ist
6. Speichersystem nach einem der Ansprüche 1 oder 5, gekennzeichnet durch mindestens ein Speichermodul (**716**), das über einen auf der Hauptplatine (**502**) montierten Sockel (**712**) elektrisch mit einer Speichersteuereinheit (**504**) gekoppelt ist.
7. Speichersystem nach Anspruch 6, dadurch gekennzeichnet, dass das mindestens eine Speichermodul (**716**) folgende Komponenten aufweist:
  - einen zweiten, auf einer Modulplatine (**706**) des mindestens einen Speichermoduls (**716**) montierten Puffer (**710**) und
  - wenigstens einen zweiten Speicherbaustein (**708**), der auf der Modulplatine (**706**) des wenigstens einen Speichermoduls (**716**) montiert und mit dem zweiten Puffer (**710**) gekoppelt ist.
8. Speichersystem nach Anspruch 6 oder 7, dadurch gekennzeichnet, dass das wenigstens eine Speichermodul (**716**) weiter von der Speichersteuereinheit (**504**) auf der Hauptplatine (**502**) entfernt ist als der wenigstens eine erste Speicherbaustein (**508**).
9. Speichersystem nach einem der Ansprüche 1 und 3 bis 8, dadurch gekennzeichnet, dass der erste Puffer die Befehls- und Adressensignale über eine erste, auf der Hauptplatine (**502**) geführte Befehls- und Adressensignalverbindung empfängt.
10. Speichersystem nach Anspruch 9, dadurch gekennzeichnet, dass der wenigstens eine erste Speicherbaustein (**508**) die Befehls- und Adressensignale, die vom ersten Puffer ausgegeben werden, über eine zweite, auf der Hauptplatine (**502**) geführte Befehls- und Adressensignalverbindung empfängt, wobei die erste Befehls- und Adressensignalverbindung im Wesentlichen senkrecht zur zweiten Befehls- und Adressensignalverbindung verläuft.
11. Speichersystem nach Anspruch 9 oder 10, dadurch gekennzeichnet, dass der wenigstens eine erste Speicherbaustein (**508**) ein Datensignal und ein Taktsignal über korrespondierende, auf der Hauptplatine (**502**) geführte Daten- und Taktsignalverbindungen empfängt.
12. Speichersystem nach einem der Ansprüche 1 bis 11, dadurch gekennzeichnet, dass der wenigstens

tens eine erste Speicherbaustein (508) und/oder der wenigstens eine zweite Speicherbaustein (708) ein DRAM und/oder ein SDRAM ist.

13. Speichersystem nach einem der Ansprüche 1 bis 12, gekennzeichnet durch einen Phasenregelkreis (720) oder Verzögerungsregelkreis, der ein erstes Taktsignal auf einer zweiten Taktsignalverbindung in Reaktion auf ein Systemtaktsignal auf einer ersten Taktsignalverbindung erzeugt, wobei der wenigstens eine erste Speicherbaustein (508) mit dem ersten Taktsignal synchronisiert wird.

14. Speichersystem nach Anspruch 13, dadurch gekennzeichnet, dass der Phasenregelkreis oder Verzögerungsregelkreis auf der Hauptplatine (502) montiert ist.

15. Speichersystem nach Anspruch 13 oder 14, dadurch gekennzeichnet, dass die erste Taktsignalverbindung für das Systemtaktsignal im Wesentlichen senkrecht zur zweiten Taktsignalverbindung für das erste Taktsignal angeordnet ist.

16. Speichersystem nach einem der Ansprüche 7 bis 15, dadurch gekennzeichnet, dass der zweite Puffer die Befehls- und Adressensignale empfängt und eine Mehrzahl von zweiten Signalverbindungen vorgesehen ist, die auf der Modulplatine zum zweiten Puffer (710) und zu dem wenigstens einen zweiten Speicherbaustein (708) geführt sind.

17. Speichersystem nach einem der Ansprüche 14 bis 16, gekennzeichnet durch einen auf der Modulplatine angeordneten zweiten Phasenregelkreis (720), der das Taktsignal empfängt, wobei der zweite Speicherbaustein (708) mit einem vom zweiten Phasenregelkreis (720) ausgegebenen zweiten internen Taktsignal synchronisiert ist.

18. Montageverfahren, gekennzeichnet durch die Schritte:

- Montieren einer Mehrzahl von ersten Speicherbausteinen (508) auf einer Hauptplatine (502) und
- Montieren eines ersten Befehls- und Adressenpuffers auf der Hauptplatine (502), der in der Lage ist, die Mehrzahl von ersten Speicherbausteinen mit Befehls- und Adressensignalen zu treiben.

19. Verfahren nach Anspruch 18, weiter gekennzeichnet durch ein Führen von ersten Signalverbindungen für die Befehls- und Adressensignale von dem Puffer zu den Speicherbausteinen (508) auf der Hauptplatine (502).

20. Verfahren nach Anspruch 18 oder 19, weiter gekennzeichnet durch ein Führen von zweiten Signalverbindungen für die Befehls- und Adressensignale von einer Speichersteuereinheit (504) auf der Hauptplatine (502) zum ersten Befehls- und Adres-

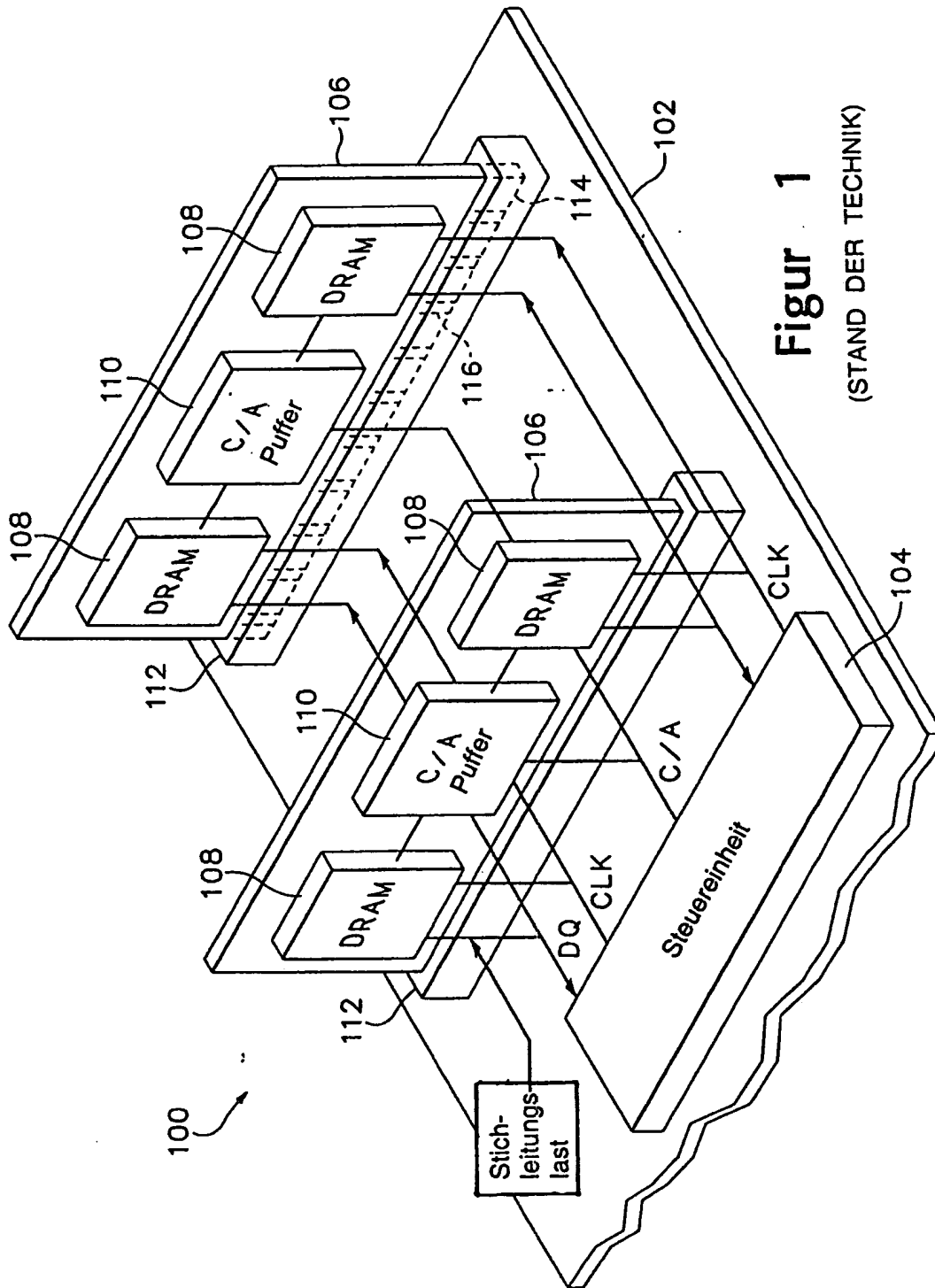
senpuffer, wobei die ersten Signalverbindungen im Wesentlichen senkrecht zu den zweiten Signalverbindungen verlaufen.

21. Verfahren nach einem der Ansprüche 18 bis 20, weiter gekennzeichnet durch ein elektrisches Koppeln eines Speichermoduls mit einer auf der Hauptplatine (502) angeordneten Speichersteuereinheit (504) über eine auf der Hauptplatine (502) angeordnete Aufnahmevorrichtung.

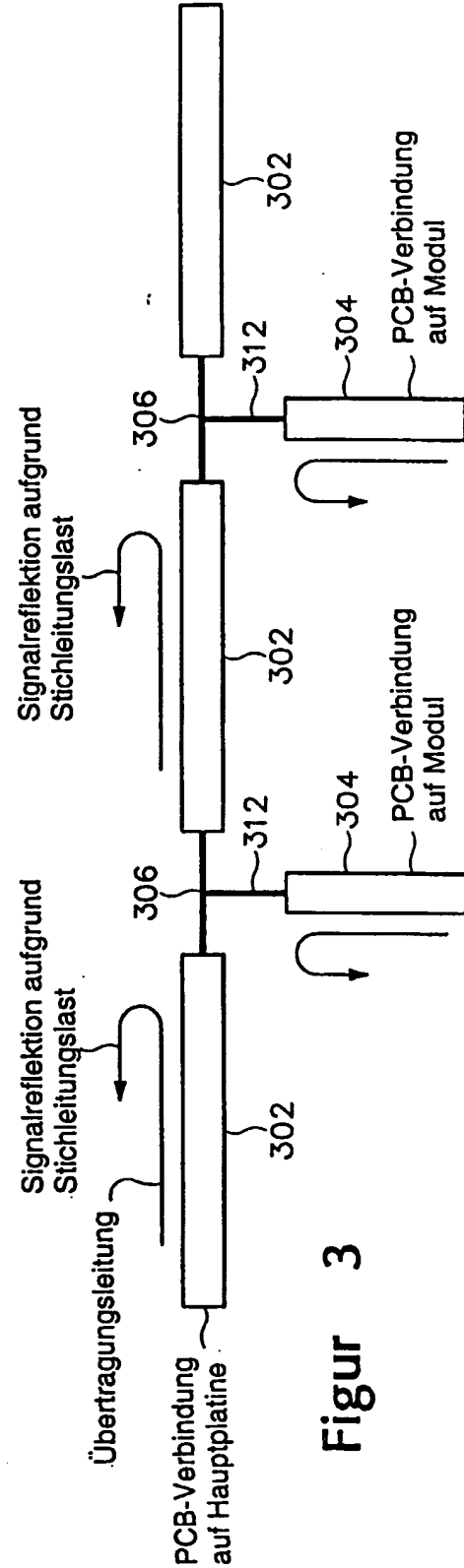
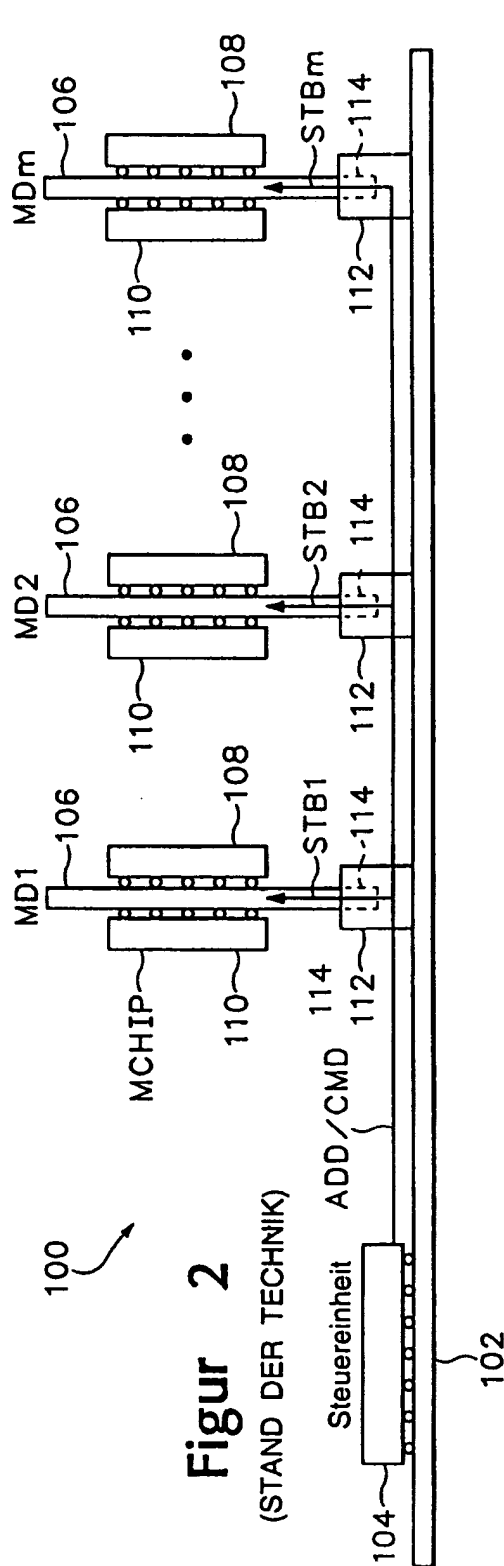
22. Verfahren nach einem der Ansprüche 18 bis 21, weiter gekennzeichnet durch Montieren eines zweiten Speicherbausteins (708) auf einer Modulplatine eines Speichermoduls und Montieren eines zweiten Befehls- und Adressenpuffers auf der Modulplatine, wobei die Modulplatine über einen auf der Hauptplatine (502) angeordneten Sockel mit einer Speichersteuereinheit (504) gekoppelt ist.

23. Verfahren nach einem der Ansprüche 18 bis 22, weiter gekennzeichnet durch Anordnen eines Phasenregelkreises (520) oder eines Verzögerungsregelkreises auf der Hauptplatine (502), der in Reaktion auf ein Systemtaktsignal ein erstes Taktsignal erzeugt.

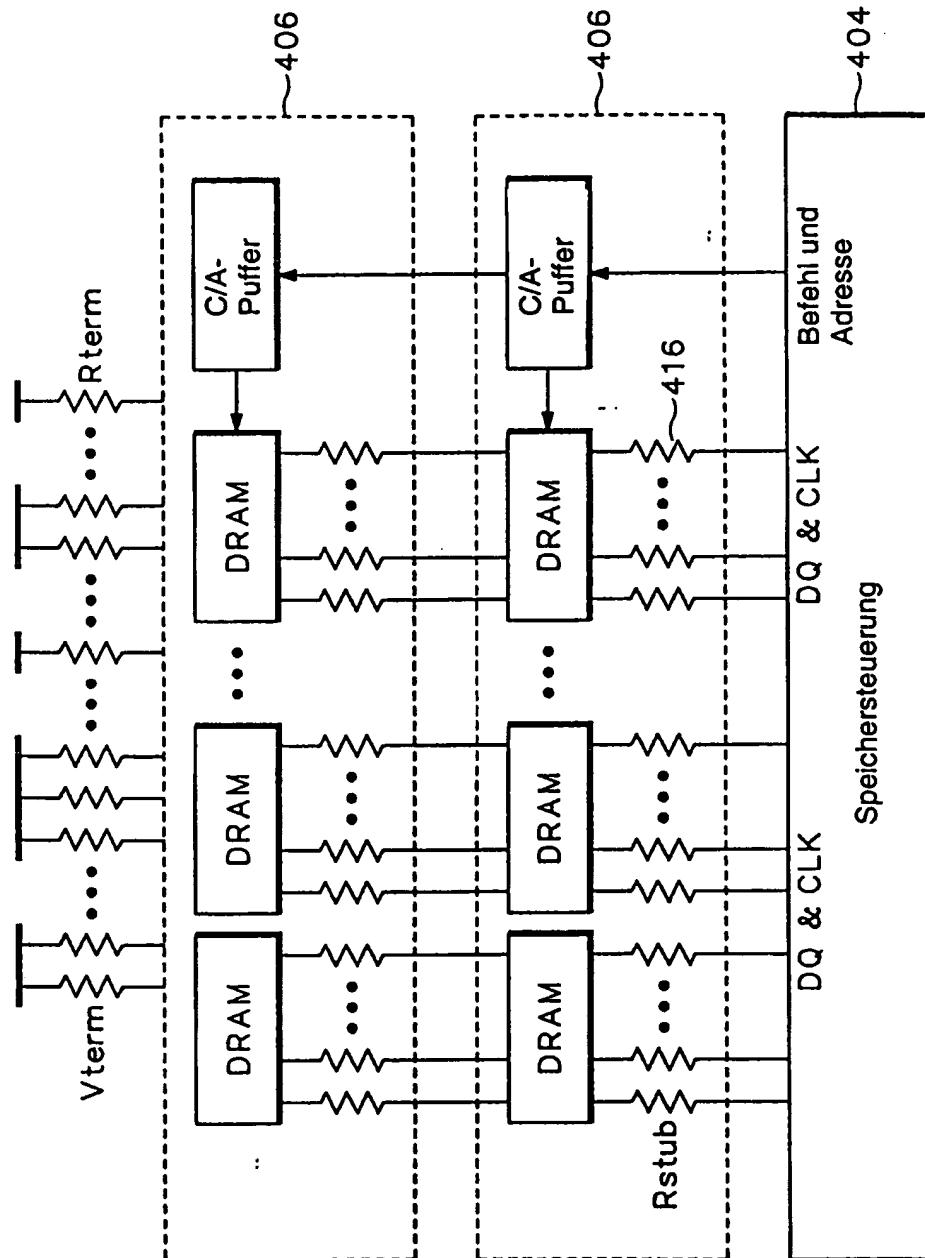
Es folgen 8 Blatt Zeichnungen



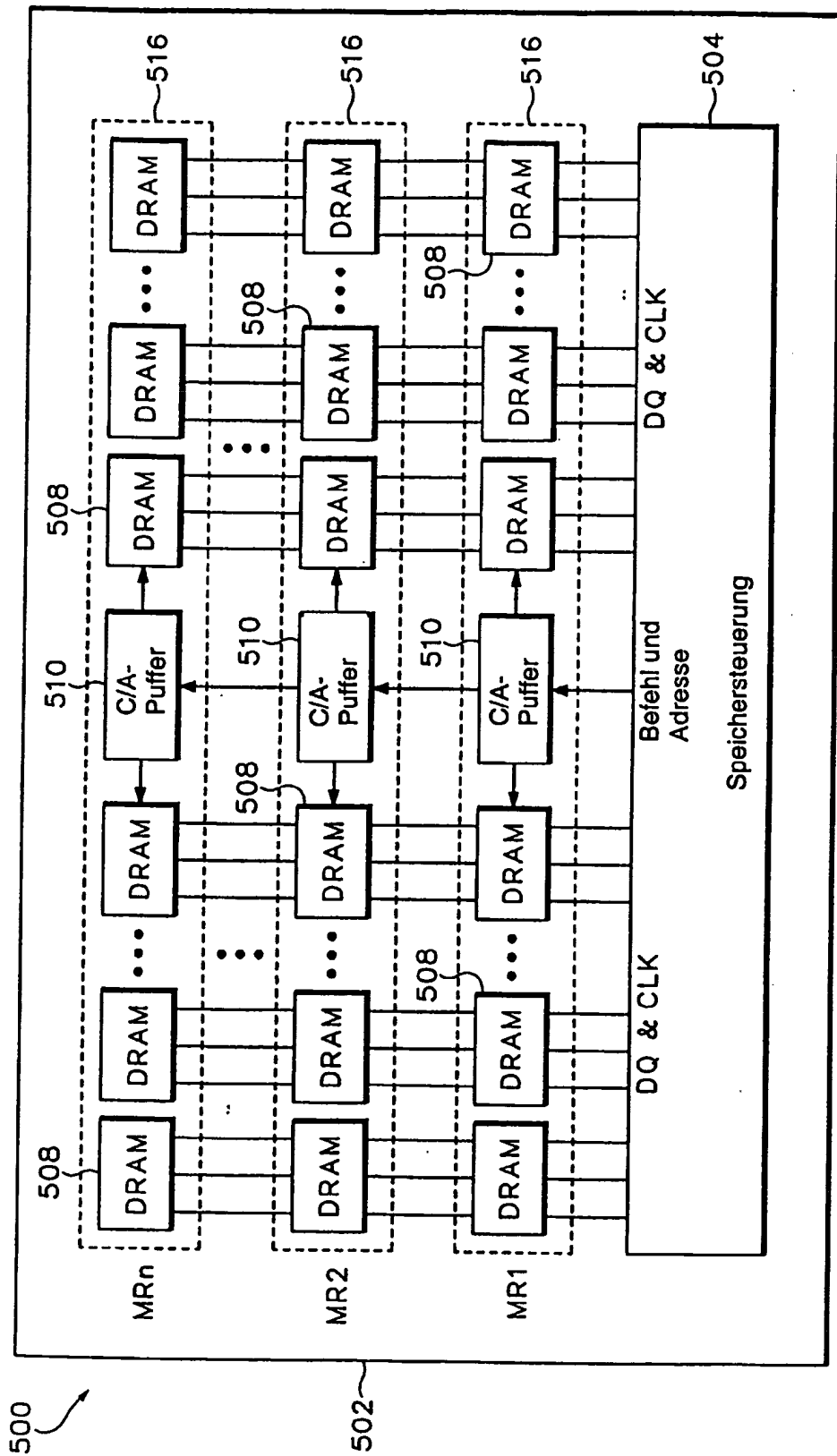
**Figur 1**  
(STAND DER TECHNIK)



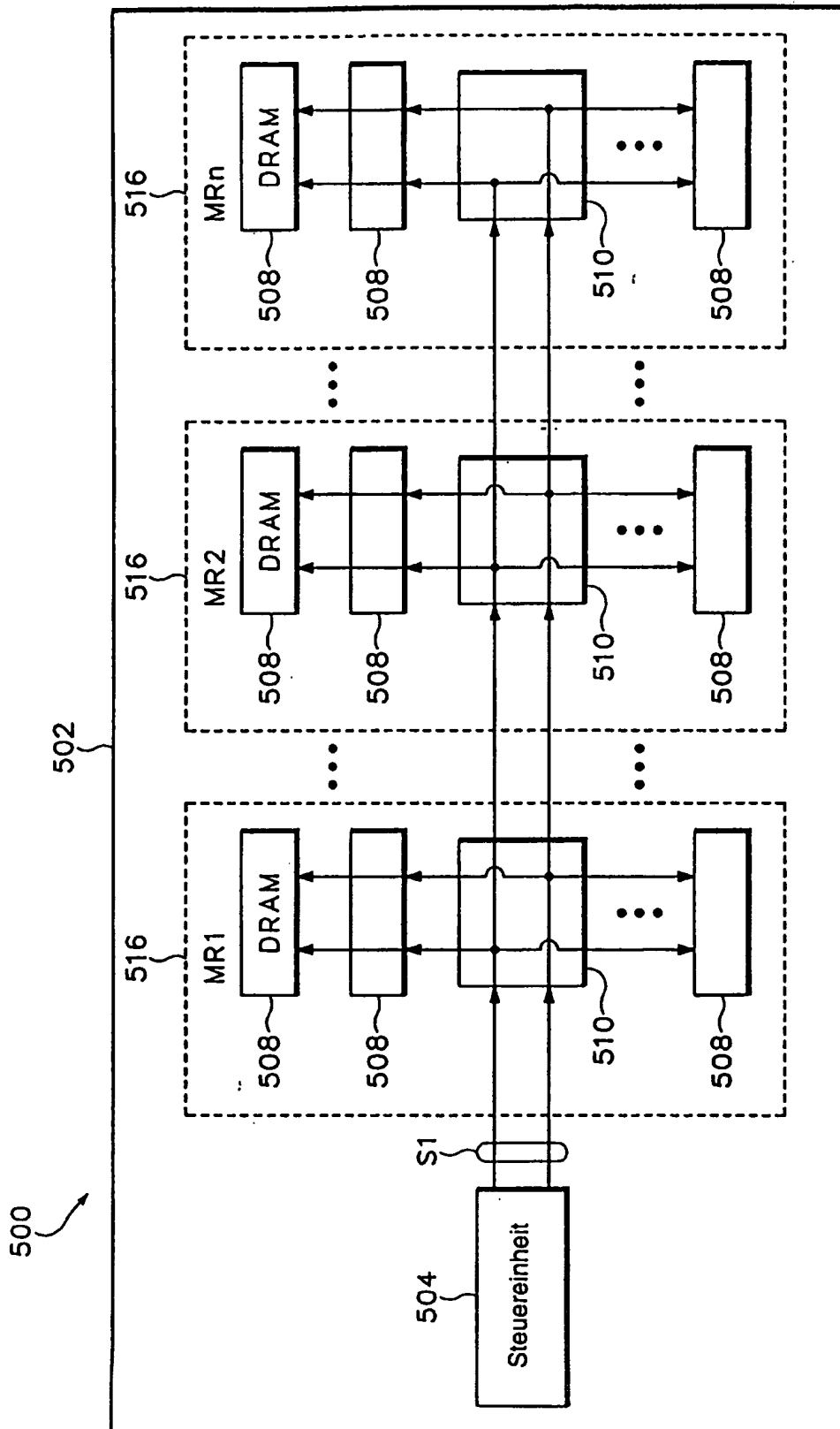




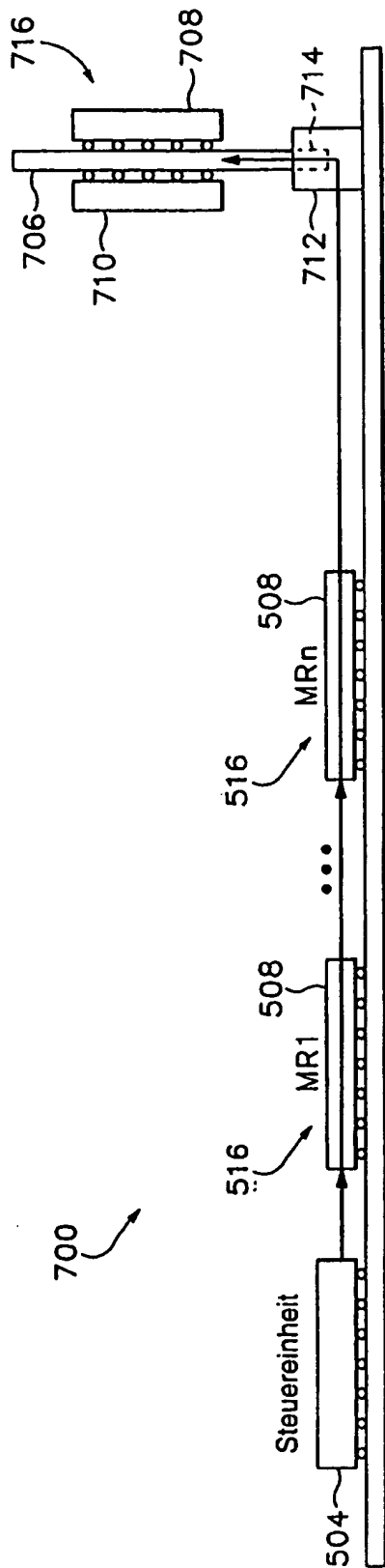
## Figur 4



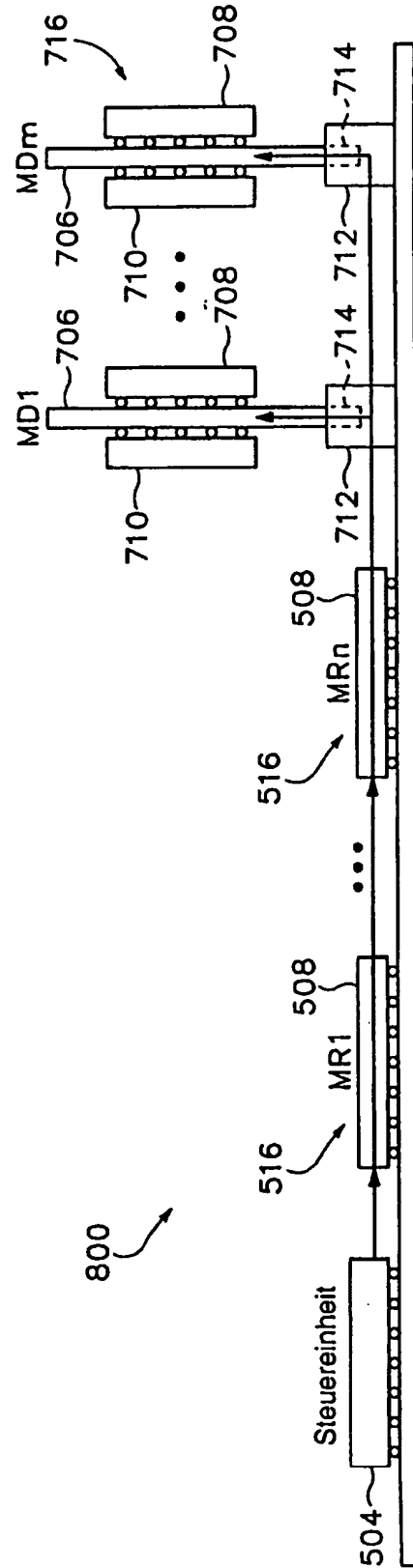
Figur 5



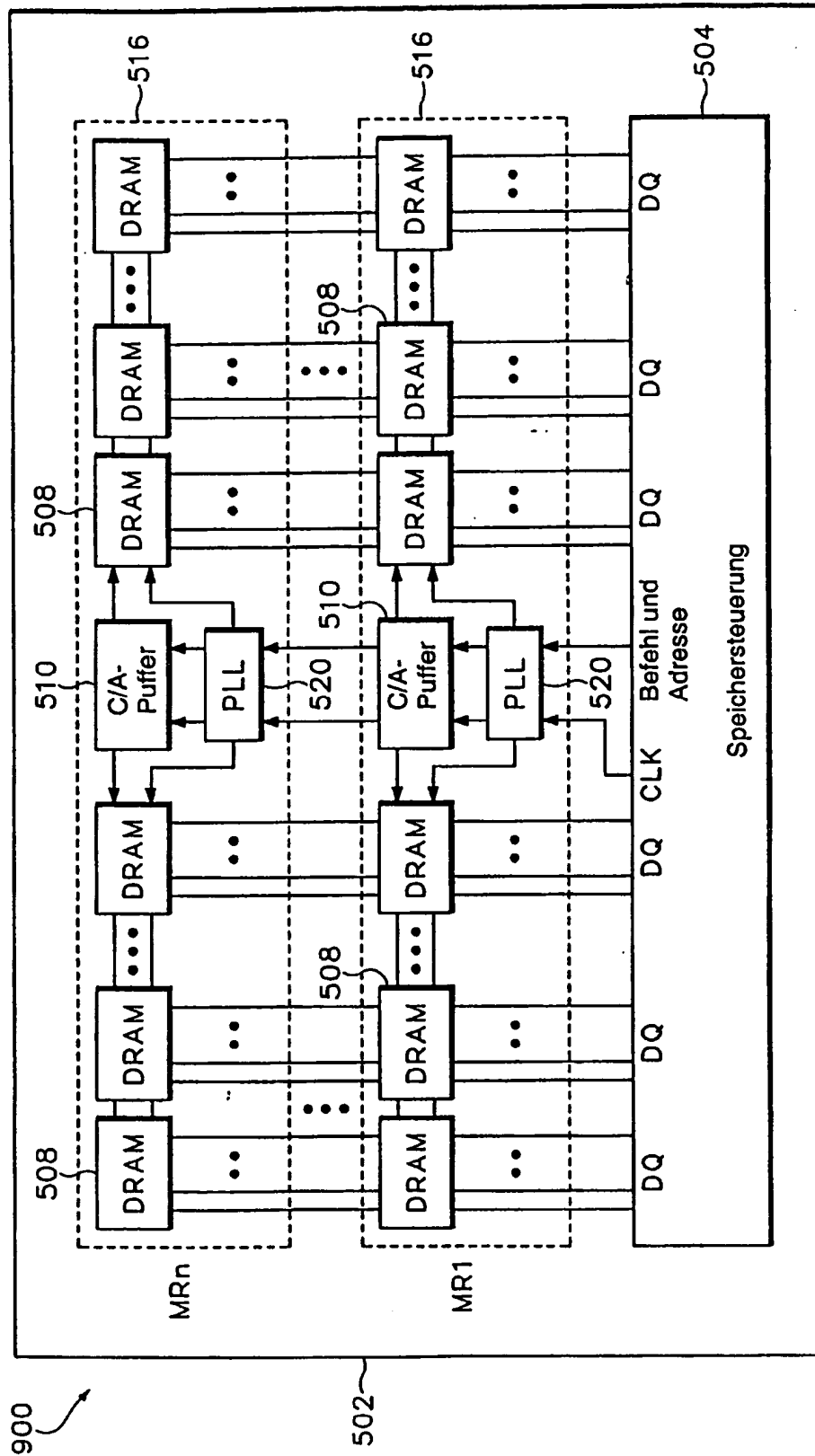
Figur 6



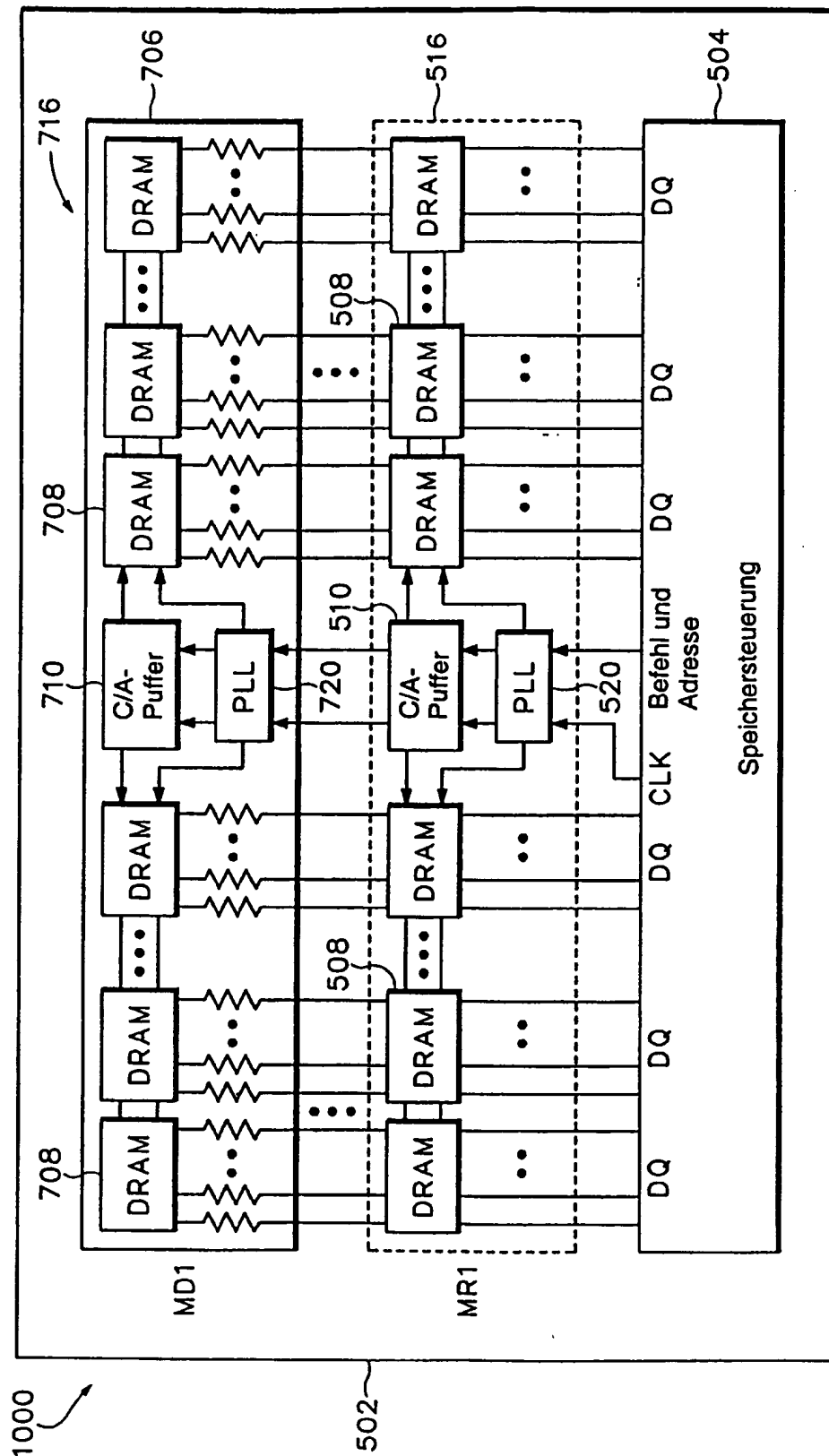
Figur 7



Figur 8



Figur 9



# Figur 10